

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022277
 (43)Date of publication of application : 23.01.1998

(51)Int. Cl. H01L 21/3065
 C23F 4/00
 H01L 21/285
 H01L 21/768

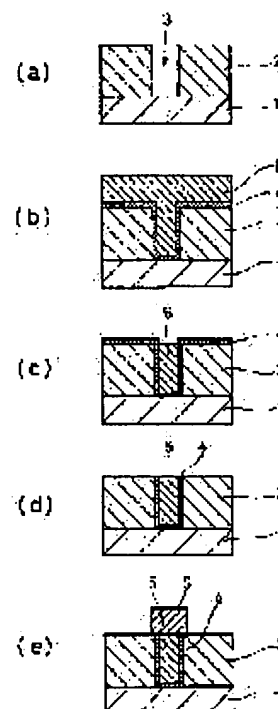
(21)Application number : 08-191568 (71)Applicant : NIPPON STEEL CORP
 (22)Date of filing : 02.07.1996 (72)Inventor : MUTO YOSHIO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a tungsten plug at high through-put and high selectivity without producing nonvolatile titanium fluoride.

SOLUTION: In a manufacturing method of a semiconductor device provided with a TiN film 4 formed inside a contact hole 3 formed in an insulation film 2 and a tungsten film 5 formed on the TiN film 4, the tungsten film 5 is so etched as to bury the contact hole 3 by the tungsten film 5 at a temperature of 30°C or higher by using plasma wherein gas containing fluorine is excited. Thereafter, the TiN film 4 is etched at a temperature not exceeding 0°C by using plasma wherein gas containing chlorine is excited.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semi-conductor substrate and the insulator layer which comes to puncture the contact hole which is formed on said semi-conductor substrate and contains said semi-conductor substrate on a base, The 1st film which was formed on the inside of said contact hole, and said insulator layer and which contains Ti at least, In the manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device equipped with the tungsten film which it comes to form above said 1st film, and etches said the 1st film and said tungsten film The 1st process etched into extent to which said contact hole is buried with said tungsten film using the plasma which excited the gas which contains a fluorine for said tungsten film at the temperature of 30 degrees C or more, The manufacture approach of the semiconductor device characterized by having the 2nd process etched using the plasma which excited the gas which contains chlorine for said 1st film at the temperature of 0 degree C or less after said 1st process.

[Claim 2] the manufacture approach of a semiconductor device according to claim 1 -- the gas which is and contains said fluorine -- SF6
The manufacture approach of the semiconductor device characterized by being mixed gas with Ar.

[Claim 3] the manufacture approach of a semiconductor device according to claim 1 -- the gas which is and contains said chlorine -- Cl2
The manufacture approach of the semiconductor device characterized by being mixed gas with Ar.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the approach of etching the cascade screen containing the film which was formed in the contact hole and which contains Ti at least, and the tungsten film which it comes to form above the film containing this Ti about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] Hereafter, the case where a tungsten plug is formed in a contact hole in an parallel monotonous mold etching system is explained as an example of the conventional technique. The BPSG film 22 is deposited by CVD (chemical vapor deposition) on a silicon substrate 21, the photoresist (un-illustrating) of a contact hole pattern is formed, this is made into a mask, opening of the contact hole 23 for performing reactant (reactive) ion etching using the mixed gas of CF₄, CHF₃, and Ar, and connecting with the upper wiring is carried out, and drawing 2 (a) is 02. The condition of having ashed the photoresist by plasma treatment and having removed is shown.

[0003] Drawing 2 (b) is the sectional view of the silicon substrate 21 when forming the TiN film 24 1000Å of thickness by sputtering, and forming the CVD-tungsten film 25 6000Å of thickness on it further.

[0004] In this case, although a silicon substrate 21 is carried in to the reaction chamber of an parallel monotonous mold etching system and anisotropic etching is performed, this etching is performed at a total of two steps shown below.

[0005] namely, -- The tungsten film 25 is first etched the following condition as step 1.

The gas used and a flow rate: SF₆/Ar=110/90 sccm etching pressure : 500 mTorr RF power : 400 W lower electrode temperature : -10 degrees C or 40 degrees C [0006] The temperature of a lower electrode (un-illustrating) for drawing 2 (c) and (c') to set up the temperature of a silicon substrate 21 prepared in the parallel monotonous mold etching system shows the sectional view of the silicon substrate 21 at the time of -10 degrees C and 40 degrees C, respectively.

[0007] Then, the TiN film 24 is etched the following condition as step 2. In this case, etching processing is ended in the place which converted into TiN thickness and carried out over-etching of 1000Å.

The gas used and a flow rate: Cl₂/Ar=50/50 sccm etching pressure : 425 mTorr RF power : 400 W lower electrode temperature : -10 degrees C or 40 degrees C [0008] Drawing 2 (d) and (d') show the cross section of the silicon substrate 21 prepared in the parallel monotonous mold etching system in case the temperature of the lower electrode (un-illustrating) for a silicon substrate 21 being laid and setting up the temperature of a silicon substrate 21 is -10 degrees C and 40 degrees C, respectively.

[0009] As mentioned above, the tungsten plug 125 was formed from the cascade screen containing the tungsten film 25 and the TiN film 24 by performing etching of step 1 and step 2.

[0010]

[Problem(s) to be Solved by the Invention] In the formation approach of the tungsten plug by the conventional technique, if it etches by maintaining silicon substrate 21 temperature at low temperature 0 degree C or less, the impact of the TiN front face will be carried out with fluorine ion at the time of over-etching of step 1, and as shown in drawing 2 (c), the titanium fluoride 26 which is an etching product of a non-volatile will be generated.

[0011] For this reason, since said titanium fluoride 26 served as a mask and the etch residue of the TiN film 24 occurred at the time of dirty of the TiN film 24 in step 2 as shown in drawing 2 (d), there was a problem that the short-circuit during wiring took place.

[0012] Moreover, in order to avoid the above-mentioned problem, if it etches by maintaining the temperature of a silicon substrate 21 at an elevated temperature 30 degrees C or more, as shown in drawing 2 (c'), the titanium fluoride 26 will volatilize, but at the time of etching of the TiN film 24 of step 2, as shown in drawing 2 (d'), the film (BPSG film 22) selection ratio for a substrate will fall, and the substrate film will be etched beyond the need.

[0013] For this reason, the field dry area 27 was generated, or film 25 for a tungsten selection ratio fell, and there was a problem of making the amount of the hollow 28 of the final tungsten plug 125 increase.

[0014] This invention aims at offering the manufacture approach of the semiconductor device which can perform etching of the TiN film near the contact hole, and the tungsten film good in view of the above-mentioned trouble.

[0015]

[Means for Solving the Problem] The insulator layer which comes to puncture the contact hole which the manufacture approach of the semiconductor device of this invention is formed on the semi-conductor substrate and said semi-conductor substrate, and contains said semi-conductor substrate on a base, The 1st film which was formed on the inside of said contact hole, and said insulator layer and which contains Ti at least, In the manufacture approach of the semiconductor device which is the manufacture approach of a semiconductor device equipped with the tungsten film which it comes to form above said 1st film, and etches said the 1st film and said tungsten film The 1st process etched into extent to which said contact hole is buried with said tungsten film using the plasma which excited the gas which contains a fluorine for said tungsten film at the temperature of the range of 30-80 degrees C, It has the 2nd process etched using the plasma which excited the gas which contains chlorine for said 1st film at the temperature of the range of 0--60 degree C after said 1st process.

[0016] moreover, the place by which it is characterized [of this invention / other] -- the manufacture approach of a semiconductor device according to claim 1 -- the gas which is and contains said fluorine -- SF₆ It is characterized by being mixed gas with Ar.

[0017] moreover, the place by which it is characterized [of others of this invention] -- the manufacture approach of a semiconductor

THIS PAGE BLANK (USPTO)

device according to claim 1 -- the gas which is and contains said chlorine -- Cl₂ It is characterized by being mixed gas with Ar.
[0018]

[Embodiment of the Invention] Hereafter, the gestalt of 1 implementation of the manufacture approach of the semiconductor device of this invention is explained with reference to a drawing. Drawing 3 is a schematic diagram of the usual parallel monotonous mold etching system used in the gestalt of this operation. This parallel monotonous mold etching system has two etching chambers 31-32 of an parallel monotonous mold, and these are connected through the buffer room 33.

[0019] Moreover, the load cassette room 34, the wafer alignment room 35, and the unload cassette room 36 are connected to the buffer room 33, and a processing wafer can be conveyed now where evacuation also of any is carried out.

[0020] a processing wafer -- the carrier robot 37 of the buffer room 33 -- the load cassette room 34 --> wafer alignment room 35 -- it is conveyed by the --> etching chamber 31 --> etching chamber 32 --> unload cassette room 36 and sequence, and etching processing is performed in the etching chamber 31-32.

[0021] Drawing 1 is the sectional view of a silicon substrate 1 showing the situation when carrying out this invention. The BPSG film 2 is deposited by well-known CVD on a silicon substrate 1, the photoresist (un-illustrating) of a contact hole pattern is formed, this is made into a mask, opening of the contact hole 3 for performing reactant (reactive) ion etching using the mixed gas of CF₄, CHF₃, and Ar, and connecting with the upper wiring is carried out, and drawing 1 (a) is 02. Signs that ashed the photoresist by plasma treatment and it removed are shown.

[0022] Drawing 1 (b) is the sectional view of the silicon substrate 1 when forming the TiN film 4 about 1000Å of thickness, and forming the CVD-tungsten film 5 about 6000Å of thickness on it further by well-known sputtering.

[0023] The silicon substrate 1 was carried in to the etching chamber 31 of drawing 3, and it etched on condition that the following as step 1. The amount of etching was converted into tungsten film 5 thickness, and was 7000Å.

The gas used and a flow rate: SF₆/Ar=110/90 sccm etching pressure : 500 mTorrRF power : 400 W lower electrode temperature : 40 degrees C [0024] Drawing 1 (c) is the sectional view of the silicon substrate 1 at this time. Thus, generating of the titanium fluoride of a non-volatile can be controlled by etching by setting the temperature of a lower electrode (un-illustrating) as 40 degrees C.

[0025] Then, the silicon substrate 1 was taken out from the etching chamber 31, and it carried in to the etching chamber 32 of drawing 3, and etched on condition that the following as step 2. The amount of etching was converted into TiN film 4 thickness, and was 2000Å.

The gas used and a flow rate: Cl₂/Ar=50/50 sccm etching pressure : 425 mTorrRF power : 400 W lower electrode temperature : -10 degrees C [0026] Drawing 1 (d) is the sectional view of the silicon substrate 1 at this time. Thus, since the etch selectivity to the TiN film 4, the tungsten film 5, and the BPSG film 2 becomes high by etching by setting lower electrode temperature as -10 degrees C, generating of the field dry area of the BPSG film 2 and superfluous etching of the tungsten film 5 can be controlled good.

[0027] In the gestalt of the above-mentioned implementation, lower electrode temperature which made lower electrode temperature prepared in the chamber 31 in step 1 40 degrees C, and was prepared in the chamber 32 in step 2 was made into -10 degrees C. However, the lower electrode temperature in step 2 should just be 0 degree C or less in temperature that the lower electrode temperature in step 1 should just be 30 degrees C or more in temperature.

[0028] Preferably, in step 1, one temperature of the range of 30-80 degrees C of the temperature requirement of said lower electrode temperature is good, and one temperature of the range of **0-60 degrees C of the range of said lower electrode temperature is good in step 2. When it etched at the temperature of these range, it was admitted that the almost same result as the gestalt of the 1st operation mentioned above was obtained.

[0029] As shown in drawing 1 (e), after forming conductive ingredients, such as aluminum, the whole surface on a tungsten plug top and BPSG by the approach usually performed finally, patterning is carried out, and the upper wiring layer 6 is formed so that it may connect with a tungsten plug.

[0030] The manufacture approach of the semiconductor device of the gestalt this operation can be etched into a high throughput, without [since the temperature of the semi-conductor substrate at the time of etching was controlled to the predetermined temperature requirement as mentioned above, without it generates a titanium fluoride, and] causing superfluous etching of the tungsten film in the field dry area of a substrate insulator layer, or a contact hole. Thereby, the manufacture approach of the semiconductor device of the high yield is realizable.

[0031] Next, the case where contact resistance is reduced as a gestalt of the 2nd operation by preparing about 200Å Ti film (un-illustrating) and the TiW film (un-illustrating) of thickness in the lower layer of the TiN film 4 is explained. In this case, it checked that the same result was obtained by transposing the TiN film 4 used with the gestalt of the 1st operation to a TiN/Ti cascade screen and a TiN/TiW cascade screen, converting the amount of etching at the time of etching of step 2 into TiN film 4 thickness, and giving it about 3000Å.

[0032]

[Effect of the Invention] It can etch into a high throughput, without [without it generates a titanium fluoride according to this invention since the temperature of the semi-conductor substrate at the time of etching was controlled to predetermined temperature as this invention was mentioned above, and] causing superfluous etching of the tungsten film in the field dry area of a substrate insulator layer, or a contact hole. Thereby, the manufacture approach of the semiconductor device of the high yield is realizable.

[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22277

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3065			H 0 1 L 21/302	L
C 2 3 F 4/00			C 2 3 F 4/00	A
				E
H 0 1 L 21/285	3 0 1		H 0 1 L 21/285	3 0 1 R
21/768			21/90	A
審査請求 未請求 請求項の数 3 F D (全 5 頁)				

(21) 出願番号 特願平8-191568

(22) 出願日 平成8年(1996) 7月2日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 武藤 嘉男

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

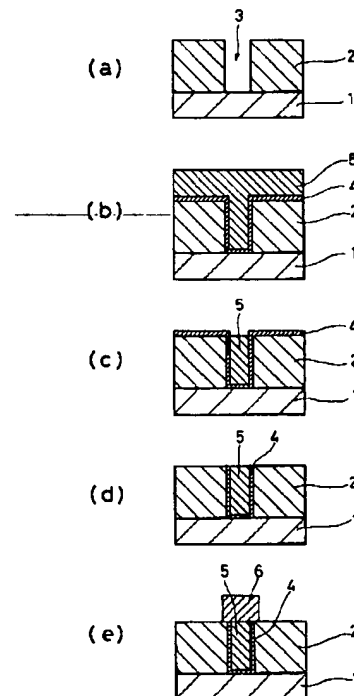
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 不揮発性のチタンフッ化物を発生させることなく、タングステンプラグを高スループットに、かつ、高選択比に形成する。

【解決手段】 絶縁膜2に形成されたコンタクト孔3内に形成されたTiN膜4と、前記TiN膜4上に形成されたタングステン膜5とを備える半導体装置の製造方法で、前記タングステン膜5を、30℃以上の温度にて、フッ素を含むガスを励起させたプラズマを用いて、コンタクト孔3がタングステン膜5にて埋まる程度にエッチングする第1の工程と、前記第1の工程後、0℃以下の温度にて、塩素を含むガスを励起させたプラズマを用いて前記TiN膜4をエッチングする第2の工程とを備える。



【特許請求の範囲】

【請求項1】半導体基板と、前記半導体基板上に形成されていて前記半導体基板を底面に含むコンタクト孔が開孔されてなる絶縁膜と、前記コンタクト孔の内面及び前記絶縁膜上に形成された少なくともTiを含む第1の膜と、前記第1の膜の上方に形成されてなるタングステン膜とを備える半導体装置の製造方法であって、前記第1の膜及び前記タングステン膜をエッチングする半導体装置の製造方法において、

前記タングステン膜を、30℃以上の温度にて、フッ素を含むガスを励起させたプラズマを用いて、前記コンタクト孔が前記タングステン膜にて埋まる程度にエッチングする第1の工程と、

前記第1の工程後、前記第1の膜を、0℃以下の温度にて、塩素を含むガスを励起させたプラズマを用いてエッチングする第2の工程とを備えることを特徴とする半導体装置の製造方法。

【請求項2】請求項1に記載の半導体装置の製造方法において、

前記フッ素を含むガスは、SF₆とArとの混合ガスであることを特徴とする半導体装置の製造方法。

【請求項3】請求項1に記載の半導体装置の製造方法において、

前記塩素を含むガスは、Cl₂とArとの混合ガスであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、コンタクト孔内に形成された、少なくともTiを含む膜と、このTiを含む膜の上方に形成されてなるタングステン膜とを含む積層膜をエッチングする方法に関する。

【0002】

【従来の技術】以下、従来技術の一例として、平行平板型エッチング装置にて、コンタクトホール内にタングステンプラグを形成する場合について説明する。図2

(a)は、シリコン基板21上にCVD（化学的気相成長法）によりBPSG膜22を堆積し、コンタクトホールパターンのフォトリソ（不図示）を形成し、これをマスクにして、CF₄、CHF₃、Arの混合ガスを用いた反応性（リアクティブ）イオンエッチングを行って上層配線と接続するためのコンタクトホール23を開口し、0₂プラズマ処理によりフォトリソを灰化して除去した状態を示している。

【0003】図2（b）は、スパッタリングによりTiN膜24を膜厚1000Å形成し、さらにその上にCVD-タングステン膜25を膜厚6000Å形成した時のシリコン基板21の断面図である。

【0004】この場合、平行平板型エッチング装置の反応室にシリコン基板21を搬入して異方性エッチングを

行うが、このエッチングは以下に示す合計2つのステップで行う。

【0005】すなわち、まず、ステップ1として、次の条件でタングステン膜25をエッチングする。

使用ガス及び流量：SF₆/Ar=110/90 sccm

エッチング圧力：500 mTorr

RFパワー：400 W

下部電極温度：-10℃、あるいは40℃

【0006】図2（c）、（c'）は、平行平板型エッチング装置に設けられた、シリコン基板21の温度を設定するための下部電極（不図示）の温度が、それぞれ、-10℃、40℃のときのシリコン基板21の断面図を示したものである。

【0007】引き続き、ステップ2として次の条件でTiN膜24をエッチングする。この場合、TiN膜厚に換算して1000Å相当をオーバーエッチしたところでエッチング処理を終了する。

使用ガス及び流量：Cl₂/Ar=50/50 sccm

エッチング圧力：425 mTorr

RFパワー：400 W

下部電極温度：-10℃、あるいは40℃

【0008】図2（d）、（d'）は、平行平板型エッチング装置に設けられた、シリコン基板21が載置され、シリコン基板21の温度を設定するための下部電極（不図示）の温度がそれぞれ、-10℃、40℃のときのシリコン基板21の断面図を示したものである。

【0009】以上、ステップ1及びステップ2のエッチングを行うことにより、タングステン膜25とTiN膜24とを含む積層膜からタングステンプラグ125を形成していた。

【0010】

【発明が解決しようとする課題】従来技術によるタングステンプラグの形成方法において、シリコン基板21温度を0℃以下の低温に保ってエッチングを行うと、ステップ1のオーバーエッチ時にフッ素イオンによりTiN表面が衝撃され、図2（c）に示すように、不揮発性のエッチング生成物であるチタンフッ化物26が発生する。

【0011】このため、ステップ2におけるTiN膜24のエッチ時に、図2（d）に示すように、前記チタンフッ化物26がマスクとなってTiN膜24のエッチング残渣が発生するため、配線間のショートが起こるといった問題があった。

【0012】また、前述の問題を回避するために、シリコン基板21の温度を30℃以上の高温に保ってエッチングを行うと、図2（c'）に示すように、チタンフッ化物26は揮発するが、ステップ2のTiN膜24のエッチング時に、図2（d'）に示すように、対下地膜

(BPSG膜22)選択比が低下して下地膜を必要以上にエッチングしてしまう。

【0013】このため、面荒れ27を発生させたり、対タングステン膜25選択比が低下して、最終的なタングステンプラグ125の窪み28の量を増加させてしまうという問題があった。

【0014】本発明は前述の問題点にかんがみ、コンタクト孔近傍のTiN膜及びタングステン膜のエッチングを良好に行うことが可能な半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板と、前記半導体基板上に形成されていて前記半導体基板を底面に含むコンタクト孔が開孔されてなる絶縁膜と、前記コンタクト孔の内面及び前記絶縁膜上に形成された少なくともTiを含む第1の膜と、前記第1の膜の上方に形成されてなるタングステン膜とを備える半導体装置の製造方法であって、前記第1の膜及び前記タングステン膜をエッチングする半導体装置の製造方法において、前記タングステン膜を、30～80℃の範囲の温度にて、フッ素を含むガスを励起させたプラズマを用いて、前記コンタクト孔が前記タングステン膜にて埋まる程度にエッチングする第1の工程と、前記第1の工程後、前記第1の膜を、0～60℃の範囲の温度にて、塩素を含むガスを励起させたプラズマを用いてエッチングする第2の工程とを備えている。

【0016】また、本発明の他の特徴とするところは、請求項1に記載の半導体装置の製造方法において、前記フッ素を含むガスは、SF₆とArとの混合ガスであることを特徴としている。

【0017】また、本発明のその他の特徴とするところは、請求項1に記載の半導体装置の製造方法において、前記塩素を含むガスは、Cl₂とArとの混合ガスであることを特徴としている。

【0018】

【発明の実施の形態】以下、本発明の半導体装置の製造方法の一実施の形態を図面を参照して説明する。図3は、本実施の形態において用いられる、通常の平行平板型エッチング装置の概略図である。この平行平板型エッチング装置は、平行平板型のエッチングチャンバー31・32を2台有し、これらはバッファ室33を介して接続されている。

【0019】また、バッファ室33にはロードカセット室34、ウェハライメント室35、アンロードカセット室36が接続されており、いずれも真空排気された状態で処理ウェハを搬送できるようになっている。

【0020】処理ウェハは、バッファ室33の搬送ロボット37により、ロードカセット室34→ウェハライメント室35→エッチングチャンバー31→エッチングチャンバー32→アンロードカセット室36と順番に

搬送され、エッチングチャンバー31・32においてエッチング処理を施される。

【0021】図1は、本発明を実施したときの様子を示すシリコン基板1の断面図である。図1(a)はシリコン基板1上に公知のCVDによりBPSG膜2を堆積し、コンタクトホールパターン3のフォトリソ(不図示)を形成し、これをマスクにして、CF₄、CHF₃、Arの混合ガスを用いた反応性(リアクティブ)イオンエッチングを行って上層配線と接続するためのコンタクトホール3を開孔し、0₂プラズマ処理によりフォトリソを灰化して除去した様子を示している。

【0022】図1(b)は、公知のスパッタリングにより、TiN膜4を膜厚1000Å程度形成し、さらにその上にCVD-タングステン膜5を膜厚6000Å程度形成した時のシリコン基板1の断面図である。

【0023】図3のエッチングチャンバー31にシリコン基板1を搬入し、ステップ1として以下の条件でエッチングした。エッチング量は、タングステン膜5厚に換算して7000Åであった。

10 使用ガス及び流量：SF₆/Ar=110/90 sccm

エッチング圧力：500 mTorr

RFパワー：400 W

下部電極温度：40℃

【0024】図1(c)は、この時のシリコン基板1の断面図である。このように、下部電極(不図示)の温度を40℃に設定してエッチングを行うことにより、不揮発性のチタンフッ化物の発生を抑制することができる。

30 【0025】引き続き、シリコン基板1をエッチングチャンバー31から取り出して図3のエッチングチャンバー32に搬入し、ステップ2として以下の条件でエッチングした。エッチング量はTiN膜4厚に換算して2000Åであった。

使用ガス及び流量：Cl₂/Ar=50/50 sccm

エッチング圧力：425 mTorr

RFパワー：400 W

下部電極温度：-10℃

40 【0026】図1(d)はこの時のシリコン基板1の断面図である。このように、下部電極温度を-10℃に設定してエッチングを行うことにより、TiN膜4、タングステン膜5及びBPSG膜2に対するエッチング選択比が高くなるので、BPSG膜2の面荒れや、タングステン膜5の過剰エッチングの発生を良好に抑制することができる。

【0027】上記実施の形態において、ステップ1におけるチャンバー31に設けられた下部電極温度を40℃にし、また、ステップ2におけるチャンバー32に設けられた下部電極温度を-10℃にした。しかし、ステップ1における下部電極温度は、30℃以上の温度であれ

ばよく、また、ステップ2における下部電極温度は、0℃以下の温度であればよい。

【0028】好ましくは、前記下部電極温度の温度範囲は、ステップ1においては30～80℃の範囲のいずれかの温度がよく、ステップ2においては前記下部電極温度の範囲は、±0～60℃の範囲のいずれかの温度がよい。これらの範囲の温度でエッチングを行った場合には、前述した第1の実施の形態とほぼ同様な結果が得られることが認められた。

【0029】最後に、図1(e)に示すように、通常行われる方法によりタングステンプラグの上側、及びBPSG上の全面にアルミニウム等の導電性材料を成膜した後、パターニングして、タングステンプラグと接続されるように上層配線層6が形成される。

【0030】本実施の形態の半導体装置の製造方法は、前述したように、エッチング時の半導体基板の温度を所定の温度範囲に制御するようにしたので、チタンフッ化物を発生させることなく、また、下地絶縁膜の面荒れやコンタクト孔内のタングステン膜の過剰エッチングを引き起こすことなく高スループットにエッチングすることができる。これにより、高い歩留りの半導体装置の製造方法を実現することができる。

【0031】次に、第2の実施の形態として、TiN膜4の下層に200Å程度の厚さのTi膜（不図示）やTiW膜（不図示）を設けることによってコンタクト抵抗を低減した場合を説明する。この場合、第1の実施の形態で用いたTiN膜4を、TiN/Ti積層膜、TiN*

* /TiW積層膜に置き換え、ステップ2のエッチング時のエッチング量をTiN膜4厚に換算して3000Å程度施すことにより、同様な結果が得られることを確認した。

【0032】

【発明の効果】本発明は前述したように、本発明によれば、エッチング時の半導体基板の温度を所定の温度に制御するようにしたので、チタンフッ化物を発生させることなく、かつ、下地絶縁膜の面荒れやコンタクト孔内のタングステン膜の過剰エッチングを引き起こすことなく高スループットにエッチングできる。これにより、高い歩留りの半導体装置の製造方法を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置の製造方法を説明するための、シリコン基板の工程断面図である。

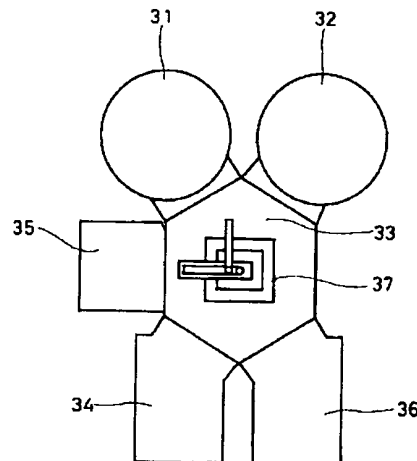
【図2】従来の技術を説明するための、シリコン基板の工程断面図である。

【図3】本発明の実施の形態に使用した平行平板型エッチング装置を示す全体概略図である。

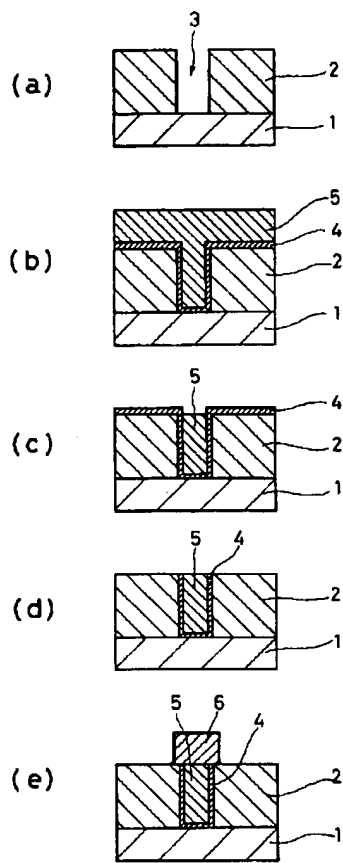
【符号の説明】

- 1 シリコン基板
- 2 BPSG膜
- 3 コンタクトホール
- 4 TiN膜
- 5 タングステン膜
- 6 上層配線層

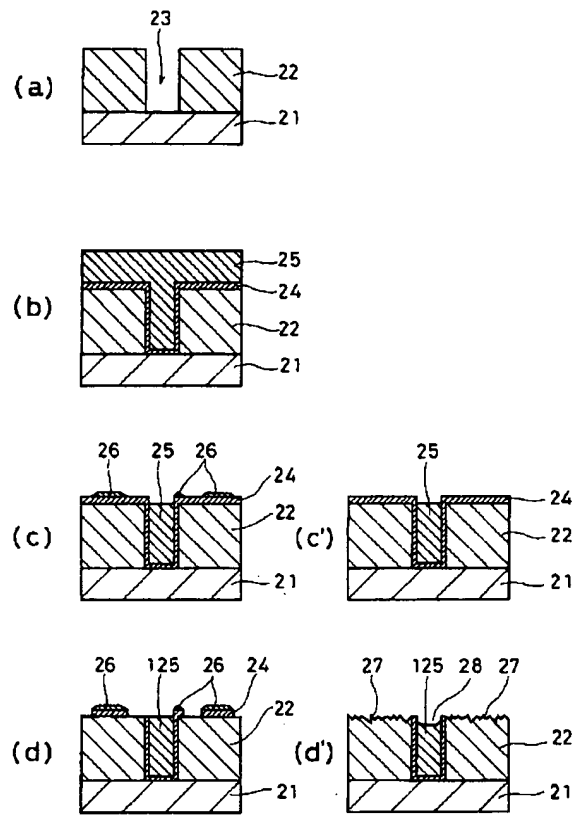
【図3】



【図1】



【図2】



THIS PAGE BLANK (USPTO)